

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

IN RE APPLICATION OF: Hidehiro SHIGA, et al.

GAU:

SERIAL NO: New Application

EXAMINER:

FILED: Herewith

FOR: SEMICONDUCTOR MEMORY DEVICE

**REQUEST FOR PRIORITY**

COMMISSIONER FOR PATENTS  
ALEXANDRIA, VIRGINIA 22313

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number \_\_\_\_\_, filed \_\_\_\_\_, is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e): Application No. \_\_\_\_\_ Date Filed \_\_\_\_\_

- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

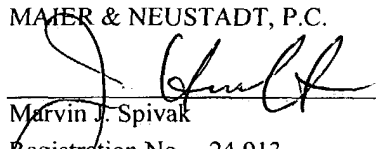
| <u>COUNTRY</u> | <u>APPLICATION NUMBER</u> | <u>MONTH/DAY/YEAR</u> |
|----------------|---------------------------|-----------------------|
| Japan          | 2003-139271               | May 16, 2003          |

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. \_\_\_\_\_ filed \_\_\_\_\_
- ☐ were submitted to the International Bureau in PCT Application Number \_\_\_\_\_  
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. \_\_\_\_\_ filed \_\_\_\_\_; and
- ☐ (B) Application Serial No.(s) \_\_\_\_\_
- ☐ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,  
MAIER & NEUSTADT, P.C.

  
Marvin J. Spivak

Registration No. 24,913

James D. Hamilton

Registration No. 28,421



22850

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2003年 5月16日

出 願 番 号

Application Number:

特願2003-139271

[ST.10/C]:

[JP2003-139271]

出 願 人

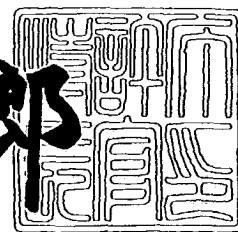
Applicant(s):

株式会社東芝

2003年 6月 3日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

太田信一郎



出証番号 出証特2003-3043001

【書類名】 特許願

【整理番号】 A000301137

【提出日】 平成15年 5月16日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 27/00

【発明の名称】 半導体記憶装置

【請求項の数】 10

【発明者】

    【住所又は居所】 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マ  
                        イクロエレクトロニクスセンター内

    【氏名】 滋賀 秀裕

【発明者】

    【住所又は居所】 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マ  
                        イクロエレクトロニクスセンター内

    【氏名】 白武 慎一郎

【発明者】

    【住所又は居所】 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マ  
                        イクロエレクトロニクスセンター内

    【氏名】 高島 大三郎

【特許出願人】

    【識別番号】 000003078

    【氏名又は名称】 株式会社 東芝

【代理人】

    【識別番号】 100058479

    【弁理士】

    【氏名又は名称】 鈴江 武彦

    【電話番号】 03-3502-3181

【選任した代理人】

    【識別番号】 100091351

【弁理士】

【氏名又は名称】 河野 哲

【選任した代理人】

【識別番号】 100088683

【弁理士】

【氏名又は名称】 中村 誠

【選任した代理人】

【識別番号】 100108855

【弁理士】

【氏名又は名称】 蔵田 昌俊

【選任した代理人】

【識別番号】 100084618

【弁理士】

【氏名又は名称】 村松 貞男

【選任した代理人】

【識別番号】 100092196

【弁理士】

【氏名又は名称】 橋本 良郎

【手数料の表示】

【予納台帳番号】 011567

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体記憶装置

【特許請求の範囲】

【請求項 1】 強誘電体キャパシタと前記強誘電体キャパシタに並列に接続されたセルトランジスタとを有するユニットが複数個直列に接続されたセルブロックと、前記セルブロックの端部と接続された選択トランジスタと、を有する半導体記憶装置であって、

半導体基板と、

前記半導体基板の表面に第 1 方向に沿って相互に離間して形成され、且つ第 1 面積を有し、且つ前記セルトランジスタのソース／ドレイン拡散層を構成する、複数の第 1 不純物拡散層と、

前記半導体基板の表面に、端部の前記第 1 不純物拡散層と離間して形成され、且つ第 2 面積を有し、且つ前記選択トランジスタのソース／ドレイン拡散層の一方を構成する、第 2 不純物拡散層と、

前記複数の第 1 不純物拡散層の相互間の前記半導体基板上にゲート絶縁膜を介して第 2 方向に沿って配設され、且つ前記セルトランジスタのゲートを構成する、複数の第 1 ゲート電極と、

前記端部の前記第 1 不純物拡散層と前記第 2 不純物拡散層の間の前記半導体基板上にゲート絶縁膜を介して第 2 方向に沿って配設され、且つ前記選択トランジスタのゲートを構成する、第 2 ゲート電極と、

ビット線と前記第 2 不純物拡散層とを電氣的に接続するコンタクトと、

を具備することを特徴とする半導体記憶装置。

【請求項 2】 両端が前記第 1 ゲート電極の両側の前記第 1 不純物拡散層とそれぞれ接続され、且つ強誘電体膜と、前記強誘電体膜を挟む第 1、第 2 電極と、を有する複数の強誘電体キャパシタをさらに具備することを特徴とする請求項 1 に記載の半導体記憶装置。

【請求項 3】 前記第 1 不純物拡散層は、前記第 1 方向において第 1 長さを有し、

前記第 2 不純物拡散層は、前記第 1 方向において前記第 1 長さより小さい第 2

長さを有する、

ことを特徴とする請求項 1 または 2 に記載の半導体記憶装置。

【請求項 4】 前記第 1 不純物拡散層は、前記第 2 方向において第 3 長さを有し、

前記第 2 不純物拡散層は、前記コンタクトと電氣的に接続される第 1 領域を有し、

前記第 1 領域は、前記第 2 方向において前記第 3 長さより小さい第 4 長さを有する、

ことを特徴とする請求項 1 乃至 3 のいずれか 1 項に記載の半導体記憶装置。

【請求項 5】 前記第 2 不純物拡散層は、前記第 2 ゲート電極の第 2 方向に沿った位置に延在する第 2 領域を有し、

前記第 2 領域は、前記第 3 長さを有する、

ことを特徴とする請求項 4 に記載の半導体記憶装置。

【請求項 6】 前記第 1 領域は、前記第 2 ゲート電極に達することを特徴とする請求項 4 に記載の半導体記憶装置。

【請求項 7】 前記端部の第 1 不純物拡散層は、前記第 2 ゲート電極の第 2 方向に沿った位置に延在する第 3 領域を有し、

前記第 3 領域は、前記第 3 長さより小さい第 5 長さを有する、

ことを特徴とする請求項 6 に記載の半導体記憶装置。

【請求項 8】 前記第 5 長さは前記第 4 長さと同じであることを特徴とする請求項 7 に記載の半導体記憶装置。

【請求項 9】 前記第 1 領域と前記第 3 領域との間の前記半導体基板の表面に形成された、前記選択トランジスタの閾値を調整するための不純物領域をさらに具備することを特徴とする請求項 7 に記載の半導体記憶装置。

【請求項 10】 前記第 1 ゲート電極に前記セルトランジスタを導通させるための第 1 電圧を印加し、且つ前記第 2 ゲート電極に前記選択トランジスタを導通させるための前記第 1 電圧より大きい第 2 電圧を印加する、制御部をさらに具備することを特徴とする請求項 7 に記載の半導体記憶装置。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、半導体記憶装置に関し、例えばメモリセルに強誘電体材料を用いた半導体記憶装置に関する。

【 0 0 0 2 】

【従来の技術】

図 8、図 9 は、メモリセルに強誘電体を用いた半導体記憶装置（以下、強誘電体メモリ）の回路図、断面図をそれぞれ示している。図 8、図 9 に示すように、セルトランジスタ T のソースおよびドレイン端子を強誘電体キャパシタ C の両端に接続したものをユニットセル U とし、複数のユニットセル U が直列に接続されている。複数のユニットセル U によりセルブロック C B が構成され、セルブロック C B は選択トランジスタ S T を介してビット線 B L に接続される。このような構造の強誘電体メモリは、T C 並列ユニット直列接続型強誘電体メモリと呼ばれる。セルブロック C B のうちで、選択トランジスタ S T と反対側の端部のユニットセル U と接続された配線はプレート線 P L と呼ばれる。

【 0 0 0 3 】

この出願の発明に関連する先行技術文献情報としては次のものがある。

【 0 0 0 4 】

【特許文献 1】

特開平 10-255483 号公報

【 0 0 0 5 】

【特許文献 2】

特開平 8-36888 号公報

【 0 0 0 6 】

【発明が解決しようとする課題】

図 1 0 は、強誘電体メモリのデータ読み出し電圧とビット線容量との関係を示している。図 1 0 に示すように、ビット線容量を最適化することにより最大の読み出し電圧を得られる。しかしながら、現在、実際に作製されている強誘電体メモリでは、ビット線容量が最適値より大きいため、読み出し電圧は最大値より小

さい値となっている。このため、読み出しデータがノイズ等に影響される可能性が高くなる。

#### 【0007】

本発明は、上記課題を解決するためになされたものであり、その目的とするところは、ビット線容量を低下可能な半導体記憶装置を提供しようとするものである。

#### 【0008】

##### 【課題を解決するための手段】

本発明の第1の視点による半導体記憶装置は、強誘電体キャパシタと前記強誘電体キャパシタに並列に接続されたセルトランジスタとを有するユニットが複数個直列に接続されたセルブロックと、前記セルブロックの端部と接続された選択トランジスタと、を有する半導体記憶装置であって、半導体基板と、前記半導体基板の表面に第1方向に沿って相互に離間して形成され、且つ第1面積を有し、且つ前記セルトランジスタのソース／ドレイン拡散層を構成する、複数の第1不純物拡散層と、前記半導体基板の表面に、端部の前記第1不純物拡散層と離間して形成され、且つ第2面積を有し、且つ前記選択トランジスタのソース／ドレイン拡散層の一方を構成する、第2不純物拡散層と、前記複数の第1不純物拡散層の相互間の前記半導体基板上にゲート絶縁膜を介して第2方向に沿って配設され、且つ前記セルトランジスタのゲートを構成する、複数の第1ゲート電極と、前記端部の前記第1不純物拡散層と前記第2不純物拡散層の間の前記半導体基板上にゲート絶縁膜を介して第2方向に沿って配設され、且つ前記選択トランジスタのゲートを構成する、第2ゲート電極と、ビット線と前記第2不純物拡散層とを電氣的に接続するコンタクトと、を具備することを特徴とする。

#### 【0009】

更に、本発明に係る実施の形態には種々の段階の発明が含まれており、開示される複数の構成要件における適宜な組み合わせにより種々の発明が抽出され得る。例えば、実施の形態に示される全構成要件から幾つかの構成要件が省略されることで発明が抽出された場合、その抽出された発明を実施する場合には省略部分が周知慣用技術で適宜補われるものである。



## 【0010】

## 【発明の実施の形態】

本発明者等は、本発明の開発の過程において、図8、9を参照して述べたような強誘電体メモリにおいてビット線容量を減少させる方法について研究した。その結果、本発明者等は、以下に述べるような知見を得た。

## 【0011】

ビット線容量が増大する原因の1つとして、選択トランジスタSTの寄生容量が挙げられる。図8に示すようなセルブロックCBは、ビット線BLに複数個接続されており、したがって、ビット線BLと接続された選択トランジスタSTも複数個存在する。よって、各選択トランジスタSTの寄生容量を減ずることにより、ビット線BLの寄生容量を大きく低下させることが可能である。

## 【0012】

選択トランジスタSTの寄生容量として、図9のソース／ドレイン拡散層SDと基板subとの間の接合容量、およびソース／ドレイン拡散層SDとゲート電極BSとの間のゲート酸化膜に形成される容量が存在する。ソース／ドレイン拡散層SDの面積を小さくすることにより、これら容量を減少させることができる。

## 【0013】

図11は、図8、図9の強誘電体メモリの平面構造の一部を示している。ソース／ドレイン拡散層SDの幅 $W_{tr}$ を小さくすることにより、選択トランジスタSTのソース／ドレイン拡散層SDの面積を小さくすることができる。しかしながら、この方法によると、同時にセルトランジスタTのソース／ドレイン拡散層SDの幅も小さくなってしまう。この結果、各セルトランジスタTの抵抗値が増大し、プレート線PLとビット線BLとの間の抵抗値は大幅に増大する。抵抗値の増大により、データの読み出しおよび書き込み速度が著しく低下する。

## 【0014】

以下に、このような知見に基づいて構成された本発明の実施の形態について図面を参照して説明する。なお、以下の説明において、略同一の機能及び構成を有する構成要素については、同一符号を付し、重複説明は必要な場合にのみ行う。

## 【0015】

(第1実施形態)

図1は、本発明の第1実施形態に係る半導体記憶装置の平面構造を概略的に示している。図2は、図1のII-II線に沿った断面構造を概略的に示している。図1において、図の簡略化のため、一部の要素は省略されている。

## 【0016】

図1、図2に示すように、半導体基板  $s u b$  の表面に、複数のソース/ドレイン拡散層  $S D a$  (第1不純物拡散層) が形成される。ソース/ドレイン拡散層  $S D a$  は相互に離間し、第1方向(図1の横方向)に沿って形成される。ソース/ドレイン拡散層  $S D a$  は、第1方向において第1長さ  $L 1$  を有し、後述するゲート電極の延在方向(第2方向)において第3長さ  $L 3$  を有する。また、ソース/ドレイン拡散層  $S D a$  は、第1面積を有する。

## 【0017】

半導体基板  $s u b$  の表面にソース/ドレイン拡散層  $S D b$  (第2不純物拡散層) が形成される。ソース/ドレイン拡散層  $S D b$  は、端部のソース/ドレイン拡散層  $S D a$  と離間した位置に形成され、その一端がソース/ドレイン拡散層  $S D a$  と対向する。ソース/ドレイン拡散層  $S D b$  は、第1方向において第1長さより小さい第2長さ  $L 2$  を有し、第2方向において、ソース/ドレイン拡散層  $S D a$  と同じ第3長さ  $L 3$  を有する。また、ソース/ドレイン拡散層  $S D b$  は、第2面積を有する。

## 【0018】

ソース/ドレイン拡散層  $S D b$  の他端には、複数のソース/ドレイン拡散層  $S D a$  が、第1方向に沿って相互に離間して形成される。これら、第1方向に沿って順次形成された複数のソース/ドレイン拡散層  $S D a$ 、 $S D b$  からなる構造が、第2方向において相互に離間して複数個設けられる。

## 【0019】

ソース/ドレイン拡散層  $S D a$  の相互間の半導体基板  $s u b$  上には、ゲート絶縁膜(図示せぬ)を介してゲート電極  $W L$  (第1ゲート電極) が設けられる。ゲート電極  $W L$  は、第2方向に延在する。ゲート電極  $W L$  と、このゲート電極  $W L$

の両側のソース／ドレイン拡散層SDaと、によりセルトランジスタTが構成される。

#### 【0020】

各セルトランジスタTの一方のソース／ドレイン拡散層SDaは、コンタクトP1を介して配線層M1と接続されている。配線層M1は、強誘電体キャパシタCと接続されている。強誘電体キャパシタCは、強誘電体膜と、この強誘電体膜を挟む上部（第1）電極、下部（第2）電極から構成され、上部電極が配線層M1と接続される。下部電極は、配線層M2と接続される。配線層M2は、コンタクトP2を介して、セルトランジスタTのもう一方のソース／ドレイン拡散層SDaと接続される。セルトランジスタTと強誘電体キャパシタCとが並列に接続されたユニットセルUが、図8に示すように複数個直列接続され、セルブロックCBが構成される。

#### 【0021】

ソース／ドレイン拡散層SDaと、ソース／ドレイン拡散層SDbとの間の半導体基板sub上には、ゲート絶縁膜（図示せぬ）を介してゲート電極BS（第2ゲート電極）が設けられる。ゲート電極BSは、第2方向に延在する。このゲート電極BSと、ゲート電極BSの両側のソース／ドレイン拡散層SDa、SDbとにより、選択トランジスタSTが構成される。

#### 【0022】

ソース／ドレイン拡散層SDbは、ビット線コンタクトBCを介してビット線BLと接続される。ビット線BLは、ユニットセルUの上方で第1方向に延在する。

#### 【0023】

本発明の第1実施形態に係る半導体記憶装置によれば、選択トランジスタSTを構成し、且つビット線コンタクトBCと接続されるソース／ドレイン拡散層SDbが、セルトランジスタTを構成するソース／ドレイン拡散層SDaより小さい面積を有する。このため、ソース／ドレイン拡散層SDbと半導体基板subとの境界部の面積が減少し、この部分での寄生容量が減少する。したがって、選択トランジスタSTと接続されたビット線BLの容量が減少する。この結果、読

み出し電圧が、図10の最適値に近づき、データの読み出しの誤差、ノイズによる影響を低下できる。

## 【0024】

また、第1実施形態に係る半導体記憶装置によれば、セルトランジスタTを構成するソース/ドレイン拡散層SDaの面積を減少させずに、選択トランジスタSTを構成するソース/ドレイン拡散層SDbの面積を減少させている。このため、セルトランジスタTの抵抗値を増加させることなく、ビット線BLの容量を低下することが可能である。すなわち、データの読み出しおよび書き込みスピードを低下させることなく、読み出し電圧を増加させることができる。

## 【0025】

なお、ソース/ドレイン拡散層SDbの面積が減少することにより、選択トランジスタSTの抵抗値も若干増加する。しかしながら、選択トランジスタSTの反対の端部の配線（プレート線PL）からビット線BLまでの抵抗値は、セルトランジスタTの抵抗値によりほぼ決定される。すなわち、選択トランジスタSTの抵抗値が多少増加したとしても、プレート線PLからビット線BLまでの抵抗値に大きな影響は無い。

## 【0026】

## （第2実施形態）

第2実施形態では、ソース/ドレイン拡散層SDbの第2方向の長さを小さくすることにより、ソース/ドレイン拡散層SDbの面積を減少させている。

## 【0027】

図3は、本発明の第2実施形態に係る半導体記憶装置の平面構造を概略的に示している。図3において、図1と同様に、ソース/ドレイン拡散層SDa、SDb、ゲート電極WL、BS、ビット線コンタクトBC、ビット線BLのみが示されている。断面構造については、図2のソース/ドレイン拡散層SDbが、ソース/ドレイン拡散層SDaと同じ幅を有した構造と同じである。換言すれば、図9と同じ構造である。

## 【0028】

図3に示すように、ソース/ドレイン拡散層SDbは、ビット線コンタクトB

Cと接続される第1部分SDb1（第1領域）と、ゲート電極BS近傍において第2方向に延在する第2部分SDb2（第2領域）とを有する。第1部分SDb1は、第2方向において、第1長さより短い第4長さL4を有する。第2部分SDb2は、第2方向において、第3長さL3を有する。

## 【0029】

第4長さL4は、小さければ小さいほど、ソース／ドレイン拡散層SDbの面積は減少する。しかしながら、あまりに小さ過ぎると、ビット線コンタクトBC用のコンタクトホールを形成する際に、マスクの位置ずれによりコンタクトホールが第1部分SDb1上に形成されない場合が生じる。一方で、ビット線コンタクトBCの全体が、第1部分SDb1上に位置しなければならないわけではない。このため、肝要なことは、長さL4の値として、ビット線コンタクトBCと第1部分SDb1とが適切に電氣的に接続される範囲で最小値を選択することである。

## 【0030】

また、第1部分SDb1がソース／ドレイン拡散層SDbを占める割合が大きければ大きいほど、ソース／ドレイン拡散層SDbの面積が減少する。この結果、後述する効果がより高まる。

## 【0031】

本発明の第2実施形態に係る半導体記憶装置によれば、第1実施形態と同様に、ソース／ドレイン拡散層SDbの面積が、ソース／ドレイン拡散層SDaより小さい面積を有する。このため、第1実施形態と同様の効果を得られる。

## 【0032】

また、第1実施形態と同様に、選択トランジスタSTの抵抗値が増加したとしても、プレート線からビット線BLまでの抵抗値に大きな影響は無い。

## 【0033】

なお、第1実施形態のように、ソース／ドレイン拡散層SDbの第1方向における長さを、第2長さL2とすることもできる。この結果、ソース／ドレイン拡散層SDbの面積がさらに減少し、上記効果がさらに高まる。

## 【0034】

## (第3実施形態)

第3実施形態では、ソース／ドレイン拡散層SDa、SDbがゲート電極BSと対向する部分の面積が、セルトランジスタTのそれより小さい構成を有する。

## 【0035】

図4は、本発明の第3実施形態に係る半導体記憶装置の平面構造を概略的に示している。図4において、図1と同様に、ソース／ドレイン拡散層SDa、SDb、ゲート電極WL、BS、ビット線コンタクトBC、ビット線BLのみが示されている。断面構造については、図9と同じである。

## 【0036】

図4に示すように、ソース／ドレイン拡散層SDbは、第2方向において、第4長さL4を有する。ソース／ドレイン拡散層SDbの両端は、ゲート電極BSに達する。

## 【0037】

端部のセルトランジスタTのソース／ドレイン拡散層（選択トランジスタSTとセルトランジスタTとにより共有されるソース／ドレイン拡散層）SDaは、第1部分SDa1と第2部分SDa2とを有する。第1部分SDa1はゲート電極WL側に位置する。第2部分SDa2（第3領域）はゲート電極BS側に位置し、ゲート電極BSに達する。

## 【0038】

第1部分SDa1は、第2方向において、他のセルトランジスタTのソース／ドレイン拡散層SDaと同じ第3長さL3を有する。第2部分SDa2は第2方向において、第3長さより小さい第5長さL5を有する。第5長さL5は、例えば選択トランジスタSTのソース／ドレイン拡散層SDbと同じ第4長さL4とすることができる。

## 【0039】

本発明の第3実施形態に係る半導体記憶装置によれば、第1実施形態と同様に、ソース／ドレイン拡散層SDbの面積が、ソース／ドレイン拡散層SDaより小さい面積を有する。このため、第1実施形態と同様の効果を得られる。

## 【0040】

また、第3実施形態に係る半導体記憶装置によれば、ソース／ドレイン拡散層SDbは、第2方向において第4長さを有し、ソース／ドレイン拡散層SDaの第2部分SDa2は、第2方向において、第5長さL5を有する。そして、第4長さL4、第5長さL5は、セルトランジスタTの第3長さL3より小さい。換言すれば、選択トランジスタSTのソース／ドレイン拡散層（ソース／ドレイン拡散層SDb）がゲート電極BSと対向する面積が、セルトランジスタTのそれより小さい。このため、選択トランジスタSTにおいて、ソース／ドレイン拡散層SDbとゲート電極BSとの間の寄生容量を低下することができる。よって、ビット線BLの容量を低下することができる。

## 【0041】

また、第1実施形態と同様に、選択トランジスタSTの抵抗値が増加したとしても、プレート線PLからビット線BLまでの抵抗値に大きな影響は無い。

## 【0042】

なお、第1実施形態のように、ソース／ドレイン拡散層SDbの第1方向における長さを、第2長さL2とすることもできる。この結果、ソース／ドレイン拡散層SDbの面積がさらに減少し、第1実施形態に記載した効果がさらに高まる。

## 【0043】

## (第4実施形態)

第4実施形態は、第3実施形態の構成に加え、選択トランジスタSTのチャネル領域に形成された不純物領域を有する。

## 【0044】

図5は、本発明の第4実施形態に係る半導体記憶装置の平面構造を概略的に示している。図5において、図1と同様に、ソース／ドレイン拡散層SDa、SDb、ゲート電極WL、WS、ビット線コンタクトBC、ビット線BLのみが示されている。断面構造については、図9と同じである。

## 【0045】

図5に示すように、ソース／ドレイン拡散層SDaの第2部分SDa2、およびソース／ドレイン拡散層SDb、の近傍の半導体基板subの表面に不純物領

域 I R が形成される。不純物領域 I R は、少なくとも、選択トランジスタ S T のチャネル領域に形成されていれば良い。換言すれば、ソース／ドレイン拡散層 S D a の第 2 部分 S D a 2 とソース／ドレイン拡散層 S D b との間の半導体基板 s u b 表面に形成される。不純物領域 I R は、例えば、ゲート電極 W L、B S の形成前に、半導体基板 s u b の表面にイオン注入を行うことにより形成される。不純物領域 I R に注入されるイオンとして、選択トランジスタ S T の閾値電圧を低下させる機能を有する、ヒ素、リン、アンチモン等が用いられる。選択トランジスタ S T の閾値電圧を低下させることは、従来と同様の電圧を印加した際に、選択トランジスタ S T を流れる電流の量を増加させることを意味する。

## 【0046】

本発明の第 4 実施形態に係る半導体記憶装置によれば、第 3 実施形態と同様の効果を得られる。さらに、第 4 実施形態に係る半導体記憶装置によれば、ソース／ドレイン拡散層 S D a の第 2 部分 S D a 2 とソース／ドレイン拡散層 S D b との間の半導体基板 s u b 表面に不純物領域 I R が形成される。この結果、選択トランジスタ S T の閾値電圧が低下する。閾値電圧の低下により、従来と同様の電圧をゲート電極 B S に印加した場合に選択トランジスタ S T を流れる電流量が増加する。よって、選択トランジスタ S T の抵抗値が増大したことにより電流量が減少した分が相殺され、この結果、データの読み出しおよび書き込みスピードの低下を防ぐことができる。

## 【0047】

なお、第 1 実施形態のように、ソース／ドレイン拡散層 S D b の第 1 方向における長さを、第 2 長さ L 2 とすることもできる。この結果、ソース／ドレイン拡散層 S D b の面積がさらに減少し、第 1 実施形態に記載した効果がさらに高まる。

## 【0048】

## (第 5 実施形態)

第 5 実施形態は、選択トランジスタ S T のゲート電極 B S に、セルトランジスタ T のゲート電極 W L に印加される電圧より大きい電圧が印加される。

## 【0049】



図 6 は、本発明の第 5 実施形態に係る半導体記憶装置を概略的に示している。

図 6 は、第 3 実施形態（図 4）の構成に加え、ゲート電極 W L に電圧を供給する制御部 C O N T 1、および B S に電圧を供給する制御部 C O N T 2 を有する。従来、セルトランジスタ T および選択トランジスタ S T には、同じオン電圧が印加される。これに対して、第 5 実施形態では、図 7 に示すように、選択トランジスタ S T には、セルトランジスタ T に印加される電圧より大きい電圧が印加される。

#### 【 0 0 5 0 】

本発明の第 5 実施形態に係る半導体記憶装置によれば、第 3 実施形態と同様の効果を得られる。さらに、第 5 実施形態に係る半導体記憶装置によれば、選択トランジスタ S T には、セルトランジスタ T より大きいオン電圧が印加される。このため、選択トランジスタ S T には、セルトランジスタ T と同じオン電圧を印加した場合より大きな電流が流れる。よって、選択トランジスタ S T の抵抗値が増大したことにより電流量が減少した分が相殺され、この結果、データの読み出しおよび書き込みスピードの低下を防ぐことができる。

#### 【 0 0 5 1 】

なお、第 1 実施形態のように、ソース／ドレイン拡散層 S D b の第 1 方向における長さを、第 2 長さ L 2 とすることもできる。この結果、ソース／ドレイン拡散層 S D b の面積がさらに減少し、第 1 実施形態に記載した効果がさらに高まる。

#### 【 0 0 5 2 】

その他、本発明の思想の範疇において、当業者であれば、各種の変更例及び修正例に想到し得るものであり、それら変更例及び修正例についても本発明の範囲に属するものと了解される。

#### 【 0 0 5 3 】

#### 【発明の効果】

以上、詳述したように本発明によれば、ビット線の寄生容量を低下可能な半導体記憶装置を提供できる。

#### 【図面の簡単な説明】

【図 1】 本発明の第 1 実施形態に係る半導体記憶装置の平面構造を概略的に示す図。

【図 2】 図 1 の I I - I I 線に沿った断面構造を概略的に示す図。

【図 3】 本発明の第 2 実施形態に係る半導体記憶装置の平面構造を概略的に示す図。

【図 4】 本発明の第 3 実施形態に係る半導体記憶装置の平面構造を概略的に示す図。

【図 5】 本発明の第 4 実施形態に係る半導体記憶装置の平面構造を概略的に示す図。

【図 6】 本発明の第 5 実施形態に係る半導体記憶装置を概略的に示す図。

【図 7】 ゲート電極に印加される電圧を示す図。

【図 8】 半導体記憶装置の回路図。

【図 9】 従来の半導体記憶装置の断面構造を示す図。

【図 1 0】 強誘電体メモリのデータ読み出し電圧とビット線容量との関係を示す図。

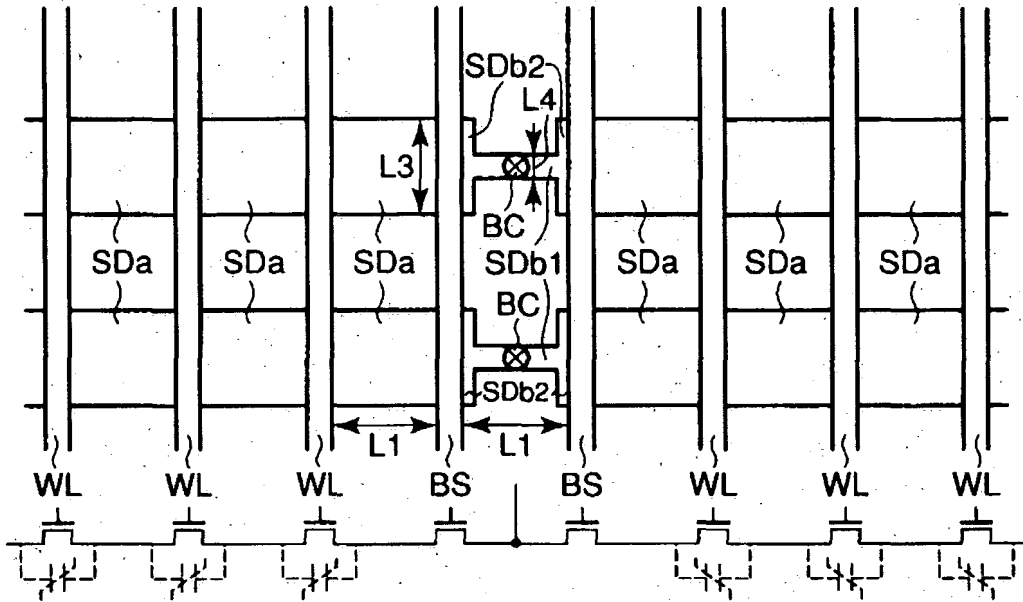
【図 1 1】 従来の半導体記憶装置の平面構造を示す図。

【符号の説明】

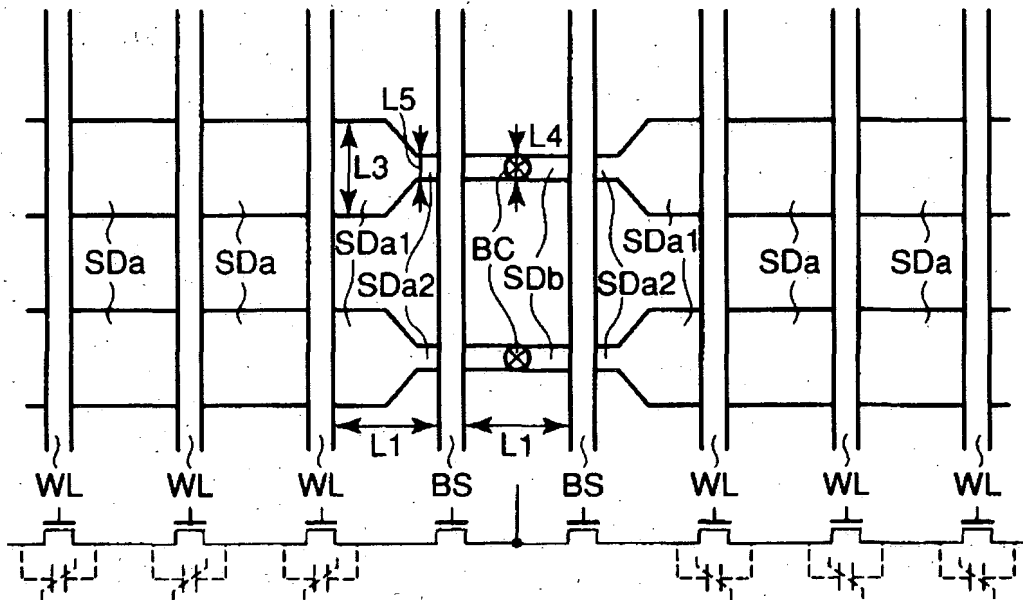
s. u b …半導体基板、S D a、S D b …ソース／ドレイン拡散層、W L、B S …ゲート電極、T …セルトランジスタ、P 1、P 2 …コンタクト、M 1、M 2 …配線層、C …強誘電体キャパシタ、S T …選択トランジスタ、B L …ビット線、B C …ビット線コンタクト、L 1 …第 1 長さ、L 2 …第 2 長さ、L 3 …第 3 長さ、L 4 …第 4 長さ、S D a 1、S D b 1 …第 1 部分、S D a 2、S D b 2 …第 2 部分、I R …不純物領域、C O N T 1、C O N T 2 …制御部。



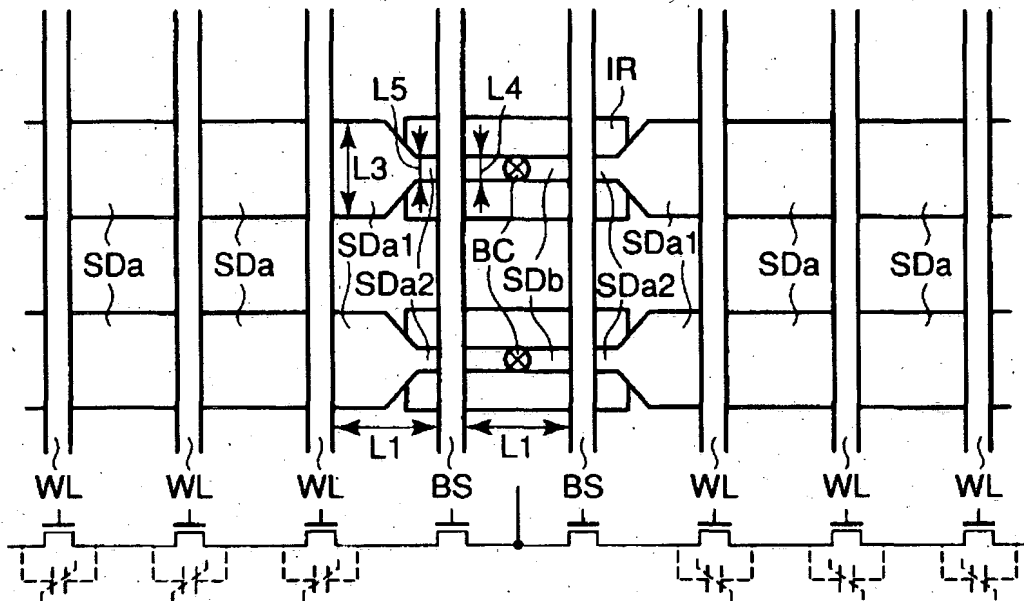
【図 3】



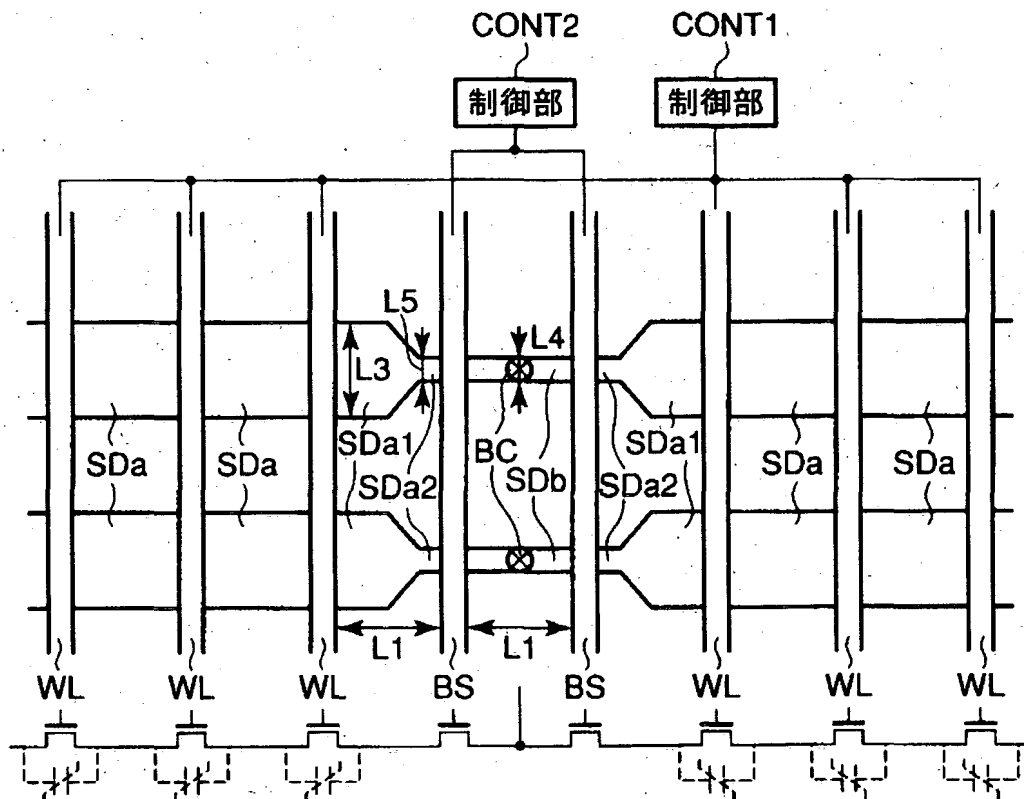
【図 4】



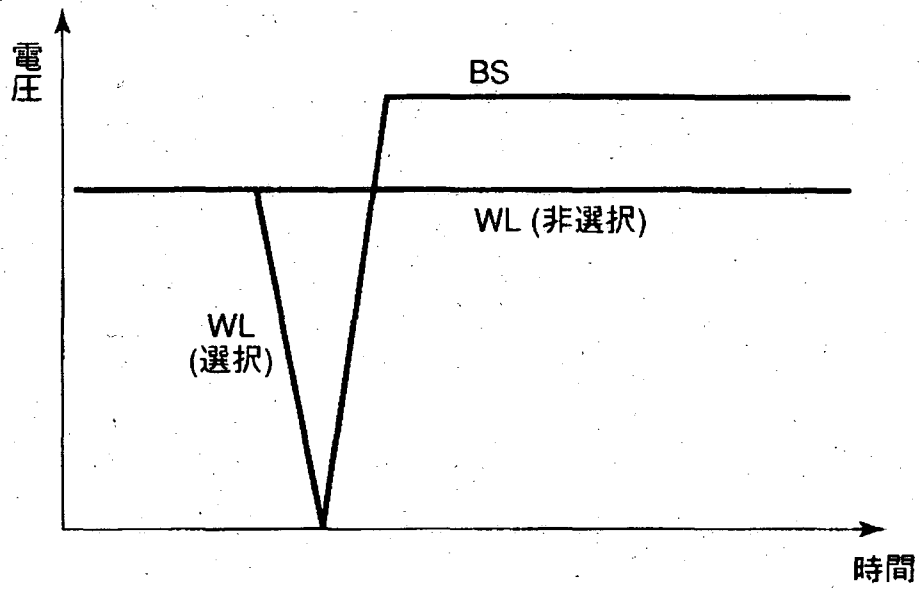
【図 5】



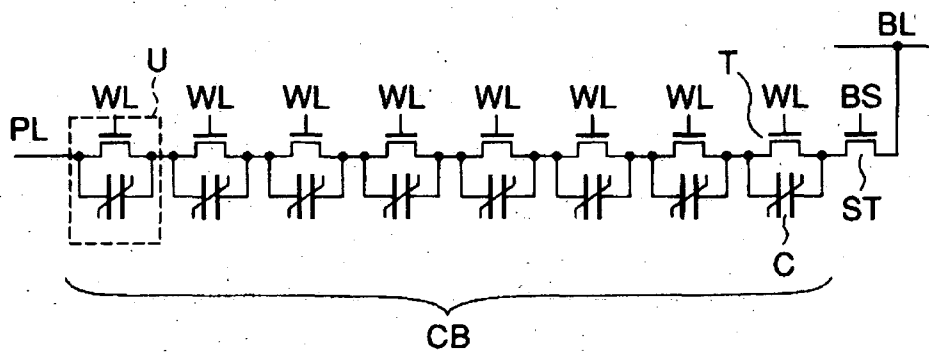
【图 6】



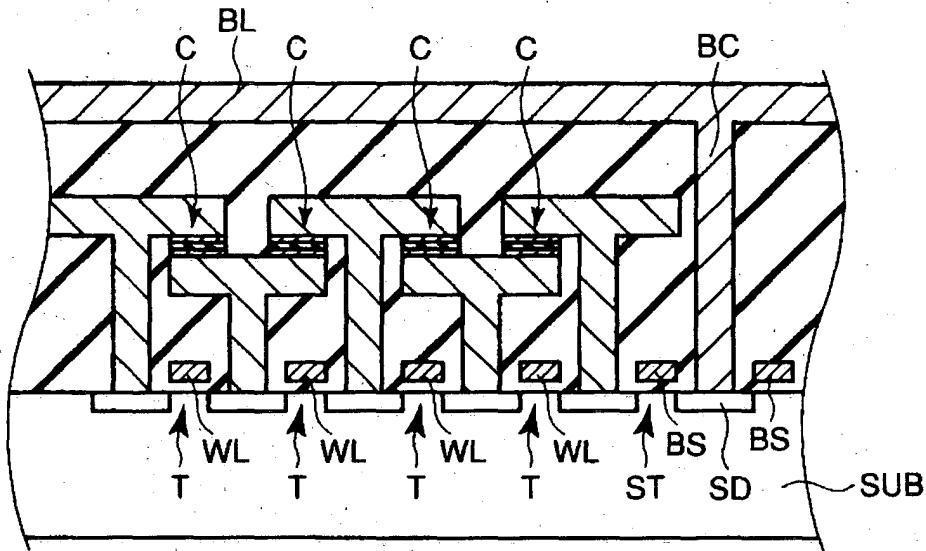
【图 7】



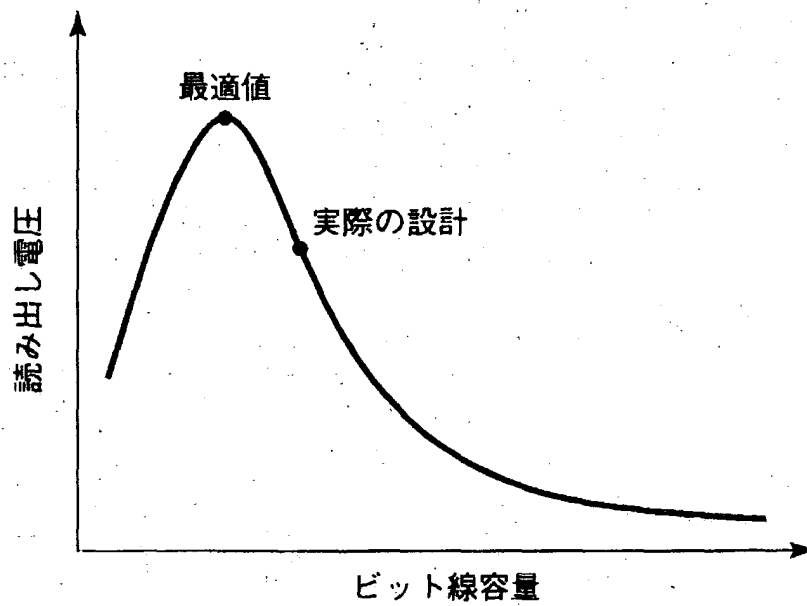
【图 8】



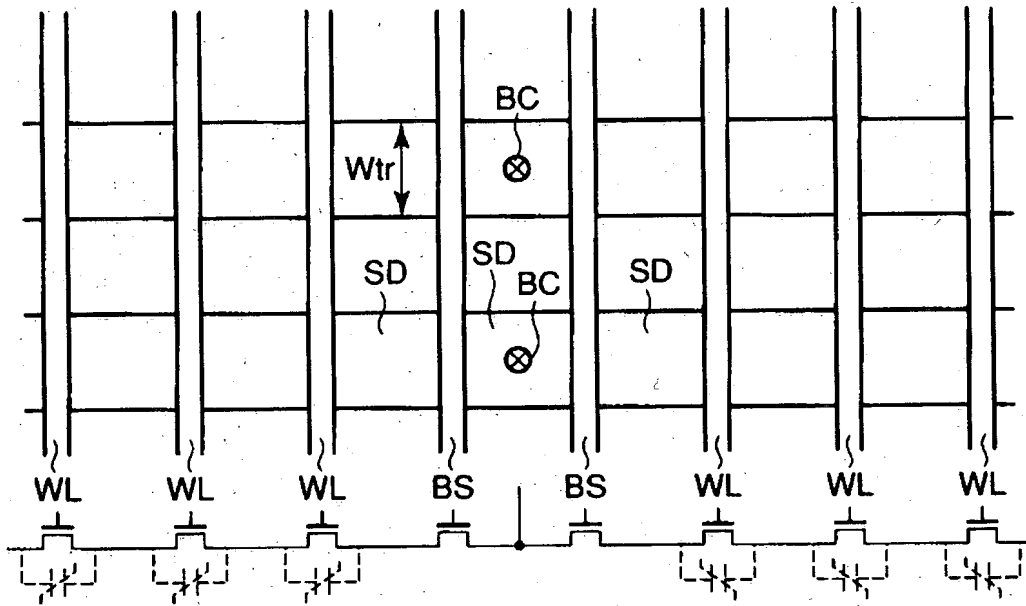
【図 9】



【図 10】



【図 11】





【書類名】 要約書

【要約】

【課題】 ビット線容量を低下可能な半導体記憶装置を提供する。

【解決手段】半導体記憶装置は、並列接続されたキャパシタとセルトランジスタとを有するユニットが複数個直列に接続されたセルブロックと、セルブロックの端部と接続された選択トランジスタとを有する。第1不純物拡散層SDaは、半導体基板の表面に第1方向に沿って相互に離間して形成され、第1面積を有する。第2不純物拡散層SDbは、端部の第1不純物拡散層と離間して半導体基板の表面に形成され、第2面積を有する。第1ゲート電極WLは、第1不純物拡散層の相互間の半導体基板上にゲート絶縁膜を介して第2方向に沿って配設される。第2ゲート電極BSは、端部の第1不純物拡散層と第2不純物拡散層の間の半導体基板上にゲート絶縁膜を介して第2方向に沿って配設される。コンタクトBCは、ビット線と第2不純物拡散層とを電氣的に接続する。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [000003078]

|          |                |
|----------|----------------|
| 1. 変更年月日 | 2003年 5月 9日    |
| [変更理由]   | 名称変更           |
| 住 所      | 東京都港区芝浦一丁目1番1号 |
| 氏 名      | 株式会社東芝         |